

日本国特許庁
JAPAN PATENT OFFICE

Q76360
1 of 1
Yamazaki
et al.

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月12日

出願番号

Application Number:

特願2002-204167

[ST.10/C]:

[JP2002-204167]

出願人

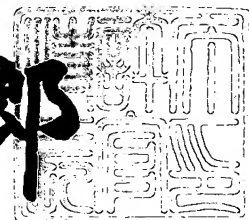
Applicant(s):

日本電気株式会社

2003年 5月 6日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3032914

【書類名】 特許願

【整理番号】 66206666

【あて先】 特許庁長官殿

【国際特許分類】 G06F 11/18

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 山崎 茂雄

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 愛野 茂幸

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100093595

 【弁理士】

 【氏名又は名称】 松本 正夫

【手数料の表示】

 【予納台帳番号】 057794

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9303563

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フォルトトレラントコンピュータ装置、その再同期化方法及び再同期化プログラム

【特許請求の範囲】

【請求項 1】 プロセッサ、メモリを含むコンピューティングモジュールを複数備え、各コンピューティングモジュールがクロック同期して同じ命令列を処理するロックステップ方式のフォルトトレラントコンピュータ装置において、

前記各コンピューティングモジュール内の前記各プロセッサ間の外部バスへのアクセス状態の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置全体の故障が検出されない場合に、全ての前記各プロセッサに対して割り込みを発生させ、前記コンピューティングモジュール間の命令実行状況を一致させる遅延調整を行った後、前記各コンピューティングモジュールに対してクロック同期での動作の再開処理を行うことを特徴とするフォルトトレラントコンピュータ装置。

【請求項 2】 前記各コンピューティングモジュールを含む装置全体の故障の有無を監視する障害監視制御手段と、

前記各コンピューティングモジュール内の前記各プロセッサの外部バスへのアクセス状態を監視するバス監視制御手段と、

前記バス監視制御手段が前記各コンピューティングモジュール内の前記各プロセッサの外部バスへのアクセス状態の不一致を検出した場合であって、前記障害監視制御手段がなんらの障害も検出していない場合に、その旨を全ての前記各プロセッサに通知するための割り込みを発生させる割り込み制御手段と、

前記各コンピューティングモジュールと接続され、前記各コンピューティングモジュール内の前記各プロセッサ相互間で命令実行状況を通知するための系間通信制御手段と、

前記各コンピューティングモジュールと接続され、前記各コンピューティングモジュール間の命令実行状況を一致させる遅延調整を行った後、全ての前記コンピューティングモジュールのクロック同期での動作を再開するためのリセット信号を発生させる同期制御手段とを具備することを特徴とする請求項 1 に記載のフ

ォルトトレラントコンピュータ装置。

【請求項 3】 前記割り込み制御手段からの割り込みを受けた前記全てのプロセッサが、該プロセッサ内部の実行命令数を計数する命令数カウンタが動作しない、再同期化処理用のプロセッサ管理モードに移行し、

前記各プロセッサが、その読み出した命令数カウンタ値を、他のコンピューティングモジュール内の各プロセッサから受信した命令数カウンタ値と比較し、

前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウント値と一致するまで命令実行を進める遅延調整を行い、一致した際に前記命令数カウンタ値が最大である前記コンピューティングモジュールに通知し、

前記命令数カウンタ値が最大である前記コンピューティングモジュールが、他の全てのコンピューティングモジュールから通知があるまで処理を待合せ、通知があると、前記同期制御手段に対して全てのコンピューティングモジュールにクロック同期での動作を再開させるためのリセット信号の発生を指令することを特徴とする請求項 2 に記載のフォルトトレラントコンピュータ装置。

【請求項 4】 前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウント値と一致するまで命令実行を進める遅延調整において、

前記プロセッサを 1 命令だけ実行した後、再び前記プロセッサ管理モードに移行せしめるステップ実行モードに設定し、

前記プロセッサが 1 命令を実行した後、再びプロセッサ管理モードに移行させ

前記プロセッサは、命令数カウンタの値が実行命令数が最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで、再度ステップ実行モード設定処理から処理を繰り返すことを特徴とする請求項 3 に記載のフォルトトレラントコンピュータ装置。

【請求項 5】 前記割り込み制御部からの割り込みを受けた前記全てのプロセッサが、該プロセッサ内部の実行命令数を計数する命令数カウンタが動作せず、かつプログラムカウンタ値を待避して保存する、再同期化処理用のプロセッサ

管理モードに移行し、

前記各プロセッサが、該各プロセッサの命令数カウンタ値と前記待避したプログラムカウンタ値とを読み出し、該読み出し値を他の全ての前記コンピューティングモジュールに送信し、

前記各プロセッサが、その読み出した命令数カウンタ値を、他のコンピューティングモジュール内の各プロセッサから受信した命令数カウンタ値と比較し、

前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで命令実行を進める遅延調整を行い、一致した際に前記命令数カウンタ値が最大である前記コンピューティングモジュールに通知し、

前記命令数カウンタ値が最大である前記コンピューティングモジュールが、他の全てのコンピューティングモジュールから通知があるまで処理を待合せ、通知があると、前記同期制御手段に対して全てのコンピューティングモジュールにクロック同期での動作を再開させるためのリセット信号の発生を指令することを特徴とする請求項 2 に記載のフォルトトレラントコンピュータ装置。

【請求項 6】 前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで命令実行を進める遅延調整において、

前記プロセッサを、指定した命令列の特定の位置の命令まで実行した後再び前記プロセッサ管理モードに移行せしめるブレイクポイント指定実行モードに設定し、

前記命令列の特定の位置として、前記実行命令数が最大であるコンピューティングモジュールから受信したプログラムカウンタ値の示す命令位置を指定し、その後、前記プロセッサを通常実行モードに移行させ、

前記プロセッサが指定された命令列中の特定の位置である、前記命令実行数が最大であるコンピューティングモジュールと同じ命令列の位置までの命令列を実行した後、再びプロセッサ管理モードに移行させることを特徴とする請求項 5 に記載のフォルトトレラントコンピュータ装置。

【請求項 7】 前記命令数カウンタ値が最大であったコンピューティングモ

ジュールが、プログラム実行状態を読み出した後、遅延調整による他のコンピューティングモジュールからの通知を待ち合わせ、

命令数カウンタ値が最大でない他の全てのコンピューティングモジュールでは、遅延調整処理を実施した後、プログラム実行状態を読み出して、遅延調整処理の完了通知と併せてプログラム実行状態を命令数カウンタ値が最大であるコンピューティングモジュールに送信し、

命令数カウンタ値が最大であるコンピューティングモジュールでは、全てのコンピューティングモジュールのプログラム実行状態を比較し、全てが一致した場合は即座に、不一致のコンピューティングモジュールを検出した場合は、当該コンピューティングモジュールのみを切り離して無効化する処理を行った後、クロック同期動作を再開させるためのリセット信号の発生を指令することを特徴とする請求項 3 又は請求項 5 に記載のフォルトトレラントコンピュータ装置。

【請求項 8】 前記障害監視制御手段と、前記バス監視制御手段と、前記割り込み制御手段と、前記系間通信制御手段と、前記同期制御手段とを複数組備えることを特徴とする請求項 2 に記載のフォルトトレラントコンピュータ装置。

【請求項 9】 プロセッサ、メモリを含むコンピューティングモジュールを複数備え、各コンピューティングモジュールがクロック同期して同じ命令列を処理するロックステップ方式のフォルトトレラントコンピュータ装置における再同期化方法であって、

前記各コンピューティングモジュール内の前記各プロセッサ間の外部バスへのアクセス状態の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置全体の故障が検出されない場合に、全ての前記各プロセッサに対して割り込みを発生させ、

前記コンピューティングモジュール間の命令実行状況を一致させる遅延調整を行った後、前記各コンピューティングモジュールに対してクロック同期動作の再開処理を行う

ことを特徴とするフォルトトレラントコンピュータ装置の再同期化方法。

【請求項 10】 前記各コンピューティングモジュールを含む装置全体の故障の有無を監視し、

前記各コンピューティングモジュール内の前記各プロセッサの外部バスへのアクセス状態を監視し、

前記各コンピューティングモジュール内の前記各プロセッサの外部バスへのアクセス状態の不一致を検出した場合であって、前記障害監視制御手段がなんらの障害も検出していない場合に、その旨を全ての前記各プロセッサに通知するための割り込みを発生させ、

前記各コンピューティングモジュール間の命令実行状況を一致させる遅延調整を行った後、全ての前記各コンピューティングモジュールのクロック同期動作の再開処理を行うためのリセット信号を発生させることを特徴とする請求項 9 に記載のフォルトトレラントコンピュータ装置の再同期化方法。

【請求項 1 1】 前記割り込み制御手段からの割り込みを受けた前記全てのプロセッサが、該プロセッサ内部の実行命令数を計数する命令数カウンタが動作しない、再同期化処理用のプロセッサ管理モードに移行し、

前記各プロセッサが、その読み出した命令数カウンタ値を、他のコンピューティングモジュール内の各プロセッサから受信した命令数カウンタ値と比較し、

前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで命令実行を進める遅延調整を行い、一致した際に前記命令数カウンタ値が最大である前記コンピューティングモジュールに通知し、

前記命令数カウンタ値が最大である前記コンピューティングモジュールが、他の全てのコンピューティングモジュールから通知があるまで処理を待合せ、通知があると、前記同期制御手段に対して全てのコンピューティングモジュールにクロック同期での動作を再開させるためのリセット信号の発生を指令することを特徴とする請求項 1 0 に記載のフォルトトレラントコンピュータ装置の再同期化方法。

【請求項 1 2】 前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで命令実行を進める遅延調整において、

前記プロセッサを 1 命令だけ実行した後、再び前記プロセッサ管理モードに移

行せしめるステップ実行モードに設定し、

前記プロセッサが 1 命令を実行した後、再びプロセッサ管理モードに移行させ

、

前記プロセッサは、命令数カウンタの値が実行命令数が最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで、再度ステップ実行モード設定処理から処理を繰り返すことを特徴とする請求項 1 1 に記載のフォルトトレラントコンピュータ装置の再同期化方法。

【請求項 1 3】 前記割り込み制御部からの割り込みを受けた前記全てのプロセッサが、該プロセッサ内部の実行命令数を計数する命令数カウンタが動作せず、かつプログラムカウンタ値を待避して保存する、再同期化処理用のプロセッサ管理モードに移行し、

前記各プロセッサが、該各プロセッサの命令数カウンタ値と前記待避したプログラムカウンタ値とを読み出し、該読み出し値を他の全ての前記コンピューティングモジュールに送信し、

前記各プロセッサが、その読み出した命令数カウンタ値を、他のコンピューティングモジュール内の各プロセッサから受信した命令数カウンタ値と比較し、

前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで命令実行を進める遅延調整を行い、一致した際に前記命令数カウンタ値が最大である前記コンピューティングモジュールに通知し、

前記命令数カウンタ値が最大である前記コンピューティングモジュールが、他の全てのコンピューティングモジュールから通知があるまで処理を待合せ、通知があると、前記同期制御手段に対して全てのコンピューティングモジュールにクロック同期での動作を再開させるためのリセット信号の発生を指令することを特徴とする請求項 1 0 に記載のフォルトトレラントコンピュータ装置の再同期化方法。

【請求項 1 4】 前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで命令実行を進める遅延調整において、

前記プロセッサを、指定した命令列の特定の位置の命令まで実行した後再び前記プロセッサ管理モードに移行せしめるブレイクポイント指定実行モードに設定し、

前記命令列の特定の位置として、前記実行命令数が最大であるコンピューティングモジュールから受信したプログラムカウンタ値の示す命令位置を指定し、その後、前記プロセッサを通常実行モードに移行させ、

前記プロセッサが指定された命令列中の特定の位置である、前記命令実行数が最大であるコンピューティングモジュールと同じ命令列の位置までの命令列を実行した後、再びプロセッサ管理モードに移行させることを特徴とする請求項 1 3 に記載のフォルトトレラントコンピュータ装置の再同期化方法。

【請求項 1 5】 前記命令数カウンタ値が最大であったコンピューティングモジュールが、プログラム実行状態を読み出した後、遅延調整による他のコンピューティングモジュールからの通知を待ち合わせ、

命令数カウンタ値が最大でない他の全てのコンピューティングモジュールでは、遅延調整処理を実施した後、プログラム実行状態を読み出して、遅延調整処理の完了通知と併せてプログラム実行状態を命令数カウンタ値が最大であるコンピューティングモジュールに送信し、

命令数カウンタ値が最大であるコンピューティングモジュールでは、全てのコンピューティングモジュールのプログラム実行状態を比較し、全てが一致した場合は即座に、不一致のコンピューティングモジュールを検出した場合は、当該コンピューティングモジュールのみを切り離して無効化する処理を行った後、クロック同期動作を再開するためのリセット信号の発生を指令することを特徴とする請求項 1 1 又は請求項 1 3 に記載のフォルトトレラントコンピュータ装置の再同期化方法。

【請求項 1 6】 プロセッサ、メモリを含むコンピューティングモジュールを複数備え、各コンピューティングモジュールがクロック同期して同じ命令列を処理するロックステップ方式のフォルトトレラントコンピュータ装置の再同期化処理を実行する再同期化プログラムであって、

前記各コンピューティングモジュール内の前記各プロセッサ間の外部バスへの

アクセス状態の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置全体の故障が検出されない場合に、全ての前記各プロセッサに対して割り込みを発生させる機能と、

前記コンピューティングモジュール間の命令実行状況を一致させる遅延調整を行った後、前記各コンピューティングモジュールに対してクロック同期動作を再開させる機能を実行する

ことを特徴とするフォルトトレラントコンピュータ装置の再同期化プログラム

。

【請求項 1 7】 前記各コンピューティングモジュールを含む装置全体の故障の有無を監視する機能と、

前記各コンピューティングモジュール内の前記各プロセッサの外部バスへのアクセス状態を監視する機能と、

前記各コンピューティングモジュール内の前記各プロセッサの外部バスへのアクセス状態の不一致を検出した場合であって、前記障害監視制御手段がなんらの障害も検出していない場合に、その旨を全ての前記各プロセッサに通知するための割り込みを発生させる機能と、

前記コンピューティングモジュール間の命令実行状況を一致させる遅延調整を行った後、全ての前記コンピューティングモジュールのクロック同期動作を再開させるためのリセット信号を発生させる機能を実行することを特徴とする請求項 1 6 に記載のフォルトトレラントコンピュータ装置の再同期化プログラム。

【請求項 1 8】 前記割り込み制御手段からの割り込みを受けた前記全てのプロセッサが、該プロセッサ内部の実行命令数を計数する命令数カウンタが動作しない、再同期化処理用のプロセッサ管理モードに移行する機能と、

前記各プロセッサが、その読み出した命令数カウンタ値を、他のコンピューティングモジュール内の各プロセッサから受信した命令数カウンタ値と比較する機能と、

前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで命令実行を進める遅延調整を行い、一致した際に前記命令数カウンタ値が最大である

前記コンピューティングモジュールに通知する機能と、

前記命令数カウンタ値が最大である前記コンピューティングモジュールが、他の全てのコンピューティングモジュールから通知があるまで処理を待合せ、通知があると、前記同期制御手段に対して全てのコンピューティングモジュールをクロック同期で動作再開させるためのリセット信号の発生を指令する機能を実行することを特徴とする請求項 1 7 に記載のフォルトトレラントコンピュータ装置の再同期化プログラム。

【請求項 1 9】 前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで命令実行を進める遅延調整において、

前記プロセッサを 1 命令だけ実行した後、再び前記プロセッサ管理モードに移行せしめるステップ実行モードに設定する機能と、

前記プロセッサが 1 命令を実行した後、再びプロセッサ管理モードに移行させる機能と、

前記プロセッサは、命令数カウンタの値が実行命令数が最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで、再度ステップ実行モード設定処理から処理を繰り返すことを特徴とする請求項 1 8 に記載のフォルトトレラントコンピュータ装置の再同期化プログラム。

【請求項 2 0】 前記割り込み制御部からの割り込みを受けた前記全てのプロセッサが、該プロセッサ内部の実行命令数を計数する命令数カウンタが動作せず、かつプログラムカウンタ値を待避して保存する、再同期化処理用のプロセッサ管理モードに移行する機能と、

前記各プロセッサが、該各プロセッサの命令数カウンタ値と前記待避したプログラムカウンタ値とを読み出し、該読み出し値を他の全ての前記コンピューティングモジュールに送信する機能と、

前記各プロセッサが、その読み出した命令数カウンタ値を、他のコンピューティングモジュール内の各プロセッサから受信した命令数カウンタ値と比較する機能と、

前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最

大であるコンピューティングモジュールの命令数カウンタ値と一致するまで命令実行を進める遅延調整を行い、一致した際に前記命令数カウンタ値が最大である前記コンピューティングモジュールに通知する機能と、

前記命令数カウンタ値が最大である前記コンピューティングモジュールが、他の全てのコンピューティングモジュールから通知があるまで処理を待合せ、通知があると、前記同期制御手段に対して全てのコンピューティングモジュールをクロック同期で動作再開させるためのリセット信号の発生を指令する機能を実行することを特徴とする請求項 1 8 に記載のフォルトトレラントコンピュータ装置の再同期化プログラム。

【請求項 2 1】 前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで命令実行を進める遅延調整において、

前記プロセッサを、指定した命令列の特定の位置の命令まで実行した後再び前記プロセッサ管理モードに移行せしめるブレイクポイント指定実行モードに設定する機能と、

前記命令列の特定の位置として、前記実行命令数が最大であるコンピューティングモジュールから受信したプログラムカウンタ値の示す命令位置を指定し、その後、前記プロセッサを通常実行モードに移行させる機能と、

前記プロセッサが指定された命令列中の特定の位置である、前記命令実行数が最大であるコンピューティングモジュールと同じ命令列の位置までの命令列を実行した後、再びプロセッサ管理モードに移行させる機能を実行することを特徴とする請求項 2 0 に記載のフォルトトレラントコンピュータ装置の再同期化プログラム。

【請求項 2 2】 前記命令数カウンタ値が最大であったコンピューティングモジュールが、プログラム実行状態を読み出した後、遅延調整による他のコンピューティングモジュールからの通知を待ち合わせる機能と、

命令数カウンタ値が最大でない他の全てのコンピューティングモジュールでは、遅延調整処理を実施した後、プログラム実行状態を読み出して、遅延調整処理の完了通知と併せてプログラム実行状態を命令数カウンタ値が最大であるコンピ

ューティングモジュールに送信する機能と、

命令数カウンタ値が最大であるコンピューティングモジュールでは、全てのコンピューティングモジュールのプログラム実行状態を比較し、全てが一致した場合は即座に、不一致のコンピューティングモジュールを検出した場合は、当該コンピューティングモジュールのみを切り離して無効化する処理を行った後、クロック同期での動作を再開させるためのリセット信号の発生を指令する機能を実行することを特徴とする請求項 1 8 又は請求項 2 0 に記載のフォルトトレラントコンピュータ装置の再同期化プログラム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、複数のコンピューティングモジュールで、同じ命令列をクロック同期させて全く同じに処理するロックステップ方式のフォルトトレラントコンピュータ装置 (fault tolerant computer) に関し、特にコンピューティングモジュール間の同一動作性が崩れた場合 (ロックステップが外れた場合) の再同期化処理の高速化を実現するフォルトトレラントコンピュータ装置及び高速再同期制御方法に関する。

【 0 0 0 2 】

【従来の技術】

従来のロックステップ方式のフォルトトレラントコンピュータ装置では、同じ命令列を同時期に実行している複数のコンピューティングモジュールの中で、故障あるいはその他の外的あるいは内的要因により、他のコンピューティングモジュールと異なる出力を行うコンピューティングモジュールを検出した場合は、以下のような対策を講じている。以降において、他のコンピューティングモジュールと同期して同じ動作を行うことができないコンピューティングモジュールを検出した場合の、当該コンピューティングモジュールをロックステップが外れたコンピューティングモジュールと称する。

【 0 0 0 3 】

すなわち、ロックステップが外れたコンピューティングモジュールを一旦運用

状態から切り離し、ロックステップが外れる要因に応じて必要によりコンピューティングモジュールを交換し、あるいは交換を必要としない場合は必要に応じた再初期化处理等を行うことにより、運用状態に組み込むといった対策がとられている。

【 0 0 0 4 】

そして、従来のロックステップ方式のフォルトトレラントコンピュータ装置における上述のような運用状態への組み込みに際しては、ロックステップの外れたコンピューティングモジュールを交換したかどうかに関わりなく、その再組み込みのときに、他の運用を継続しているコンピューティングモジュールと再度同期をとって同じ処理をするために、運用状態のコンピューティングモジュールのもつメモリのデータを全て、再組み込みするコンピューティングモジュールのもつメモリへコピーする方法がとられている。

【 0 0 0 5 】

【発明が解決しようとする課題】

従来のロックステップ方式のフォルトトレラントコンピュータ装置は、ロックステップが外れたコンピューティングモジュールの交換やロックステップが外れた原因の部位に応じた再初期化处理などを実施した後、再度運用状態に組み込む場合に、運用状態にあったコンピューティングモジュールを長時間停止させている。

【 0 0 0 6 】

すなわち、この従来のロックステップ方式のフォルトトレラントコンピュータ装置では、ロックステップが外れたコンピューティングモジュールの再組み込み処理の間、フォルトトレラントコンピュータ装置全体が長期間（一般に3～5秒間、乃至分オーダーの時間）、業務を停止してしまうという問題があった。

【 0 0 0 7 】

その理由は、ロックステップが外れたコンピューティングモジュールを運用状態に組み込むために、故障の状態に関わらず、常に全てのメモリ内容を、運用を継続しているコンピューティングモジュールから、再度組み込もうとしているコンピューティングモジュールにコピーしているためである。

【0008】

また、このコピー処理中に正常なコンピューティングモジュールの運用を継続すると、正常なコンピューティングモジュールのメモリ内容がコピー処理中にも変更されるため、正しくコピーすることができない。このため、コピー処理中は、運用状態にあったコンピューティングモジュールを一旦停止させて、メモリの内容が更新されないようにしている。

【0009】

現在のコンピューティングモジュール内のメモリの容量は、数ギガバイトに及んでいることから、メモリの全領域をコピーするには長時間を要することになる。

【0010】

ところで、ロックステップ方式のフォルトトレラントコンピュータ装置では、様々な原因により、各コンピューティングモジュール間のロックステップが外れる可能性がある。

【0011】

第1の要因としては、コンピューティングモジュール内部で、固定的な故障が発生した場合である。この場合は、故障したコンピューティングモジュールの交換を行うことになり、交換するコンピューティングモジュールを運用系に組み込む時には、運用状態のコンピューティングモジュールのメモリの全てのデータをコピーする必要がある。

【0012】

ロックステップ方式のフォルトトレラントコンピュータ装置では、上述のような固定的な故障のほかに、コンピューティングモジュール内の各ユニットの製造上の差違により、正常動作はしているものの異なるタイミングで動作していることからロックステップが外れることや、 α 線等の影響によるメモリの自動訂正可能な間欠障害によってロックステップが外れることがある。

【0013】

これらのケースでは、コンピューティングモジュール自体に固定的な故障が発生しているのではないことから、本来、交換する必要はなく、再度運用中の他の

コンピューティングモジュールとの処理の同期化を行い、組み込むことで、フォルトトレラントコンピュータ装置全体として、正常な稼働状態に復旧せしめることができる。

【 0 0 1 4 】

本発明の目的は、固定的な故障以外の原因によってロックステップが外れたコンピューティングモジュールを、従来の方式より高速に運用状態に再組み込みすることを可能とし、これによって組み込み処理のために発生する装置の動作の一時停止時間を著しく短縮するフォルトトレラントコンピュータ装置、その再同期化方法及び再同期化プログラムを提案することにある。

【 0 0 1 5 】

本発明の他の目的は、上述の再組み込み処理時間の短縮により、装置の可用性の向上を実現するフォルトトレラントコンピュータ装置、その再同期化方法及び再同期化プログラムを提案することにある。

【 0 0 1 6 】

【課題を解決するための手段】

上記目的を達成する本発明は、プロセッサ、メモリを含むコンピューティングモジュールを複数備え、各コンピューティングモジュールがクロック同期して同じ命令列を処理するロックステップ方式のフォルトトレラントコンピュータ装置において、前記各コンピューティングモジュール内の前記各プロセッサ間の外部バスへのアクセス状態の不一致を検出した場合であって、前記各コンピューティングモジュールを含む装置全体の故障が検出されない場合に、全ての前記各プロセッサに対して割り込みを発生させ、前記コンピューティングモジュール間の命令実行状況を一致させる遅延調整を行った後、前記各コンピューティングモジュールに対してクロック同期での動作の再開処理を行うことを特徴とする。

【 0 0 1 7 】

請求項 2 の本発明のフォルトトレラントコンピュータ装置は、前記各コンピューティングモジュールを含む装置全体の故障の有無を監視する障害監視制御手段と、前記各コンピューティングモジュール内の前記各プロセッサの外部バスへのアクセス状態を監視するバス監視制御手段と、前記バス監視制御手段が前記各コ

ンピューティングモジュール内の前記各プロセッサの外部バスへのアクセス状態の不一致を検出した場合であって、前記障害監視制御手段がなんらの障害も検出していない場合に、その旨を全ての前記各プロセッサに通知するための割り込みを発生させる割り込み制御手段と、前記各コンピューティングモジュールと接続され、前記各コンピューティングモジュール内の前記各プロセッサ相互間で命令実行状況を通知するための系間通信制御手段と、前記各コンピューティングモジュールと接続され、前記各コンピューティングモジュール間の命令実行状況を一致させる遅延調整を行った後、全ての前記コンピューティングモジュールのクロック同期での動作を再開するためのリセット信号を発生させる同期制御手段とを具備することを特徴とする。

【 0 0 1 8 】

請求項 3 の本発明のフォルトトレラントコンピュータ装置は、前記割り込み制御手段からの割り込みを受けた前記全てのプロセッサが、該プロセッサ内部の実行命令数を計数する命令数カウンタが動作しない、再同期化処理用のプロセッサ管理モードに移行し、

前記各プロセッサが、その読み出した命令数カウンタ値を、他のコンピューティングモジュール内の各プロセッサから受信した命令数カウンタ値と比較し、前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウント値と一致するまで命令実行を進める遅延調整を行い、一致した際に前記命令数カウンタ値が最大である前記コンピューティングモジュールに通知し、前記命令数カウンタ値が最大である前記コンピューティングモジュールが、他の全てのコンピューティングモジュールから通知があるまで処理を待合せ、通知があると、前記同期制御手段に対して全てのコンピューティングモジュールにクロック同期での動作を再開させるためのリセット信号の発生を指令することを特徴とする。

【 0 0 1 9 】

請求項 4 の本発明のフォルトトレラントコンピュータ装置は、前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウント値と一致するまで命令実行を進める遅延

調整において、前記プロセッサを1命令だけ実行した後、再び前記プロセッサ管理モードに移行せしめるステップ実行モードに設定し、前記プロセッサが1命令を実行した後、再びプロセッサ管理モードに移行させ、前記プロセッサは、命令数カウンタの値が実行命令数が最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで、再度ステップ実行モード設定処理から処理を繰り返すことを特徴とする。

【 0 0 2 0 】

請求項5の本発明のフォルトトレラントコンピュータ装置は、前記割り込み制御部からの割り込みを受けた前記全てのプロセッサが、該プロセッサ内部の実行命令数を計数する命令数カウンタが動作せず、かつプログラムカウンタ値を待避して保存する、再同期化処理用のプロセッサ管理モードに移行し、前記各プロセッサが、該各プロセッサの命令数カウンタ値と前記待避したプログラムカウンタ値とを読み出し、該読み出し値を他の全ての前記コンピューティングモジュールに送信し、前記各プロセッサが、その読み出した命令数カウンタ値を、他のコンピューティングモジュール内の各プロセッサから受信した命令数カウンタ値と比較し、前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで命令実行を進める遅延調整を行い、一致した際に前記命令数カウンタ値が最大である前記コンピューティングモジュールに通知し、前記命令数カウンタ値が最大である前記コンピューティングモジュールが、他の全てのコンピューティングモジュールから通知があるまで処理を待合せ、通知があると、前記同期制御手段に対して全てのコンピューティングモジュールにクロック同期での動作を再開させるためのリセット信号の発生を指令することを特徴とする。

【 0 0 2 1 】

請求項6の本発明のフォルトトレラントコンピュータ装置は、前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで命令実行を進める遅延調整において、前記プロセッサを、指定した命令列の特定の位置の命令まで実行した後再び前記プロセッサ管理モードに移行せしめるブレークポイント指定実行

モードに設定し、前記命令列の特定の位置として、前記実行命令数が最大であるコンピューティングモジュールから受信したプログラムカウンタ値の示す命令位置を指定し、その後、前記プロセッサを通常実行モードに移行させ、前記プロセッサが指定された命令列中の特定の位置である、前記命令実行数が最大であるコンピューティングモジュールと同じ命令列の位置までの命令列を実行した後、再びプロセッサ管理モードに移行させることを特徴とする。

【 0 0 2 2 】

請求項 7 の本発明のフォルトトレラントコンピュータ装置は、前記命令数カウンタ値が最大であったコンピューティングモジュールが、プログラム実行状態を読み出した後、遅延調整による他のコンピューティングモジュールからの通知を待ち合わせ、命令数カウンタ値が最大でない他の全てのコンピューティングモジュールでは、遅延調整処理を実施した後、プログラム実行状態を読み出して、遅延調整処理の完了通知と併せてプログラム実行状態を命令数カウンタ値が最大であるコンピューティングモジュールに送信し、命令数カウンタ値が最大であるコンピューティングモジュールでは、全てのコンピューティングモジュールのプログラム実行状態を比較し、全てが一致した場合は即座に、不一致のコンピューティングモジュールを検出した場合は、当該コンピューティングモジュールのみを切り離して無効化する処理を行った後、クロック同期動作を再開させるためのリセット信号の発生を指令することを特徴とする。

【 0 0 2 3 】

請求項 8 の本発明のフォルトトレラントコンピュータ装置は、前記障害監視制御手段と、前記バス監視制御手段と、前記割り込み制御手段と、前記系間通信制御手段と、前記同期制御手段とを複数組備えることを特徴とする。

【 0 0 2 4 】

請求項 9 の本発明は、プロセッサ、メモリを含むコンピューティングモジュールを複数備え、各コンピューティングモジュールがクロック同期して同じ命令列を処理するロックステップ方式のフォルトトレラントコンピュータ装置における再同期化方法であって、前記各コンピューティングモジュール内の前記各プロセッサ間の外部バスへのアクセス状態の不一致を検出した場合であって、前記各コ

ンピューティングモジュールを含む装置全体の故障が検出されない場合に、全ての前記各プロセッサに対して割り込みを発生させ、前記コンピューティングモジュール間の命令実行状況を一致させる遅延調整を行った後、前記各コンピューティングモジュールに対してクロック同期動作の再開処理を行うことを特徴とする。

【 0 0 2 5 】

請求項 1 0 の本発明の再同期化方法は、前記各コンピューティングモジュールを含む装置全体の故障の有無を監視し、前記各コンピューティングモジュール内の前記各プロセッサの外部バスへのアクセス状態を監視し、前記各コンピューティングモジュール内の前記各プロセッサの外部バスへのアクセス状態の不一致を検出した場合であって、前記障害監視制御手段がなんらの障害も検出していない場合に、その旨を全ての前記各プロセッサに通知するための割り込みを発生させ、前記各コンピューティングモジュール間の命令実行状況を一致させる遅延調整を行った後、全ての前記各コンピューティングモジュールのクロック同期動作の再開処理を行うためのリセット信号を発生させることを特徴とする。

【 0 0 2 6 】

請求項 1 1 の本発明の再同期化方法は、前記割り込み制御手段からの割り込みを受けた前記全てのプロセッサが、該プロセッサ内部の実行命令数を計数する命令数カウンタが動作しない、再同期化処理用のプロセッサ管理モードに移行し、前記各プロセッサが、その読み出した命令数カウンタ値を、他のコンピューティングモジュール内の各プロセッサから受信した命令数カウンタ値と比較し、前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで命令実行を進める遅延調整を行い、一致した際に前記命令数カウンタ値が最大である前記コンピューティングモジュールに通知し、前記命令数カウンタ値が最大である前記コンピューティングモジュールが、他の全てのコンピューティングモジュールから通知があるまで処理を待合せ、通知があると、前記同期制御手段に対して全てのコンピューティングモジュールにクロック同期での動作を再開させるためのリセット信号の発生を指令することを特徴とする。

【 0 0 2 7 】

請求項 1 2 の本発明の再同期化方法は、前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで命令実行を進める遅延調整において、前記プロセッサを 1 命令だけ実行した後、再び前記プロセッサ管理モードに移行せしめるステップ実行モードに設定し、前記プロセッサが 1 命令を実行した後、再びプロセッサ管理モードに移行させ、前記プロセッサは、命令数カウンタの値が実行命令数が最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで、再度ステップ実行モード設定処理から処理を繰り返すことを特徴とする。

【 0 0 2 8 】

請求項 1 3 の本発明の再同期化方法は、前記割り込み制御部からの割り込みを受けた前記全てのプロセッサが、該プロセッサ内部の実行命令数を計数する命令数カウンタが動作せず、かつプログラムカウンタ値を待避して保存する、再同期化処理用のプロセッサ管理モードに移行し、前記各プロセッサが、該各プロセッサの命令数カウンタ値と前記待避したプログラムカウンタ値とを読み出し、該読み出し値を他の全ての前記コンピューティングモジュールに送信し、前記各プロセッサが、その読み出した命令数カウンタ値を、他のコンピューティングモジュール内の各プロセッサから受信した命令数カウンタ値と比較し、前記命令数カウンタ値が最大でない前記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで命令実行を進める遅延調整を行い、一致した際に前記命令数カウンタ値が最大である前記コンピューティングモジュールに通知し、前記命令数カウンタ値が最大である前記コンピューティングモジュールが、他の全てのコンピューティングモジュールから通知があるまで処理を待合せ、通知があると、前記同期制御手段に対して全てのコンピューティングモジュールにクロック同期での動作を再開させるためのリセット信号の発生を指令することを特徴とする。

【 0 0 2 9 】

請求項 1 4 の本発明の再同期化方法は、前記命令数カウンタ値が最大でない前

記コンピューティングモジュールが、最大であるコンピューティングモジュールの命令数カウンタ値と一致するまで命令実行を進める遅延調整において、前記プロセッサを、指定した命令列の特定の位置の命令まで実行した後再び前記プロセッサ管理モードに移行せしめるブレークポイント指定実行モードに設定し、前記命令列の特定の位置として、前記実行命令数が最大であるコンピューティングモジュールから受信したプログラムカウンタ値の示す命令位置を指定し、その後、前記プロセッサを通常実行モードに移行させ、前記プロセッサが指定された命令列中の特定の位置である、前記命令実行数が最大であるコンピューティングモジュールと同じ命令列の位置までの命令列を実行した後、再びプロセッサ管理モードに移行させることを特徴とする。

【 0 0 3 0 】

請求項 1 5 の本発明の再同期化方法は、前記命令数カウンタ値が最大であったコンピューティングモジュールが、プログラム実行状態を読み出した後、遅延調整による他のコンピューティングモジュールからの通知を待ち合わせ、命令数カウンタ値が最大でない他の全てのコンピューティングモジュールでは、遅延調整処理を実施した後、プログラム実行状態を読み出して、遅延調整処理の完了通知と併せてプログラム実行状態を命令数カウンタ値が最大であるコンピューティングモジュールに送信し、命令数カウンタ値が最大であるコンピューティングモジュールでは、全てのコンピューティングモジュールのプログラム実行状態を比較し、全てが一致した場合は即座に、不一致のコンピューティングモジュールを検出した場合は、当該コンピューティングモジュールのみを切り離して無効化する処理を行った後、クロック同期動作を再開するためのリセット信号の発生を指令することを特徴とする。

【 0 0 3 1 】

請求項 1 6 の本発明は、プロセッサ、メモリを含むコンピューティングモジュールを複数備え、各コンピューティングモジュールがクロック同期して同じ命令列を処理するロックステップ方式のフォルトトレラントコンピュータ装置の再同期化処理を実行する再同期化プログラムであって、前記各コンピューティングモジュール内の前記各プロセッサ間の外部バスへのアクセス状態の不一致を検出し

た場合であって、前記各コンピューティングモジュールを含む装置全体の故障が検出されない場合に、全ての前記各プロセッサに対して割り込みを発生させる機能と、前記コンピューティングモジュール間の命令実行状況を一致させる遅延調整を行った後、前記各コンピューティングモジュールに対してクロック同期動作を再開させる機能を実行することを特徴とする。

【 0 0 3 2 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【 0 0 3 3 】

本発明の第 1 の実施の形態によるフォルトトレラントコンピュータ装置の構成を図 1 に示す。図 1 において、本実施の形態によるフォルトトレラントコンピュータ装置は、複数のコンピューティングモジュール 1 0 0、2 0 0 を備えて構成され、各コンピューティングモジュール 1 0 0、2 0 0 はそれぞれクロック同期して同じ命令列を処理し、各コンピューティングモジュールの処理結果を比較し、1 個のコンピューティングモジュールで故障が発生しても、残りのコンピューティングモジュールにより処理を継続することができる。

【 0 0 3 4 】

各コンピューティングモジュール 1 0 0、2 0 0 は、それぞれ複数のプロセッサ 1 0 1、1 0 2、2 0 1、2 0 2 と、プロセッサ外部バス 1 0 3、2 0 3 と、メモリ 1 0 4、2 0 4、メモリ制御部 1 0 5、2 0 5 とを備えて構成されている。

【 0 0 3 5 】

また、各コンピューティングモジュール 1 0 0、2 0 0 は、メモリ制御部 1 0 5、2 0 5 を介して周辺装置の制御を行う周辺装置制御部 4 0 0、5 0 0 が接続されている。

【 0 0 3 6 】

上記フォルトトレラントコンピュータ装置は、さらに、障害監視制御部 7 0 0 と、バス監視制御部 7 0 1 と、割り込み制御部 7 0 2 と、系間通信制御部 7 0 3 と、同期制御手段 7 0 4 とを備えている。

【 0 0 3 7 】

障害監視制御部 7 0 0 は、各コンピューティングモジュール 1 0 0、2 0 0 を含む装置全体の故障の有無を監視する。

【 0 0 3 8 】

バス監視制御部 7 0 1 は、各コンピューティングモジュール 1 0 0、2 0 0 のプロセッサの外部バス 1 0 3、2 0 3 へのアクセス状態を監視する。

【 0 0 3 9 】

割り込み制御部 7 0 2 は、バス監視制御部 7 0 1 が各コンピューティングモジュール 1 0 0、2 0 0 内の各プロセッサの外部バスへの出力の不一致を検出したときに、障害監視制御部 7 0 0 がなんらの障害も検出していない場合に、その旨を全てのプロセッサに通知するための割り込みを発生させる。

【 0 0 4 0 】

系間通信制御部 7 0 3 は、各コンピューティングモジュール 1 0 0、2 0 0 と接続され、各コンピューティングモジュール 1 0 0、2 0 0 内のプロセッサ同士で動作の不一致状況を調べるための通信経路を提供する。

【 0 0 4 1 】

同期制御手段 7 0 4 は、各コンピューティングモジュール 1 0 0、2 0 0 と接続され、いずれかのプロセッサからの指令によって全てのコンピューティングモジュール 1 0 0、2 0 0 に対して再同期化を制御するためのリセット信号を発生させる。

【 0 0 4 2 】

ここで、各コンピューティングモジュール 1 0 0、2 0 0 に含まれるプロセッサの数については、本実施の形態に示すように 2 個に限られることはなく、それぞれのコンピューティングモジュールに 1 個ずつの構成、あるいは 3 個以上ずつ搭載される構成であってもよい。

【 0 0 4 3 】

また、コンピューティングモジュールの数も本実施の形態に示すように 2 個に限定されることはなく、3 個以上を備える構成であってもよく、同様に本発明の効果を得られる。

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 0 4 1 6 7
受付番号	5 0 2 0 1 0 2 5 2 9 1
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 7 月 1 5 日

< 認定情報・付加情報 >

【提出日】	平成14年 7月12日
-------	-------------

【書類名】 要約書

【要約】

【課題】 装置の動作の一時停止時間を著しく短縮するフォルトトレラントコンピュータ装置とその再同期化方法を提供する。

【解決手段】 プロセッサ、メモリを含むコンピューティングモジュール 100、200 を複数備え、各コンピューティングモジュールがクロック同期して同じ命令列を処理するロックステップ方式のフォルトトレラントコンピュータ装置であって、各コンピューティングモジュール 100、200 内の各プロセッサ間の外部バスへのアクセス状態の不一致を検出した場合であって、各コンピューティングモジュール 100、200 を含む装置全体の故障が検出されない場合に、全ての各プロセッサに対して割り込みを発生させ、前記コンピューティングモジュール間の命令実行状況を一致させる遅延調整を行った後、各コンピューティングモジュールに対してクロック同期での動作の再開処理を行う。

【選択図】 図 1

【 0 0 4 4 】

次いで、上記のように構成される第 1 の実施の形態によるフォルトトレラントコンピュータ装置の動作を図 1、図 2 及び図 3 を参照して詳細に説明する。

【 0 0 4 5 】

障害監視制御部 7 0 0 は、各コンピューティングモジュール 1 0 0、2 0 0 と各周辺装置制御部 4 0 0、5 0 0 を含むフォルトトレラントコンピュータ装置全体の故障の有無を監視し、その結果を割り込み制御部 7 0 2 に通知する。

【 0 0 4 6 】

バス監視制御部 7 0 1 は、各コンピューティングモジュール 1 0 0、2 0 0 のプロセッサの外部バス 1 0 3、2 0 3 と接続されており、各プロセッサ 1 0 1、1 0 2、2 0 1、2 0 2 の外部バスへのアクセス状態（バスプロトコル）を比較して、各プロセッサ 1 0 1、1 0 2、2 0 1、2 0 2 がクロック同期で同じタイミングでプロセッサ外部バス 1 0 3、2 0 3 をアクセスしているかどうかを監視し、プロセッサ 1 0 1、1 0 2、2 0 1、2 0 2 の動作の不一致を検出すると、その旨を割り込み制御部 7 0 2 に通知する。

【 0 0 4 7 】

割り込み制御部 7 0 2 は、バス監視制御部 7 0 1 からの動作不一致検出の通知があったとき、障害監視制御部 7 0 0 が、フォルトトレラントコンピュータ装置内になんらの故障も検出していない場合、その旨を各コンピューティングモジュール内の全てのプロセッサに通知するため、割り込み信号を真にして、割り込みを発生させる。

【 0 0 4 8 】

割り込み制御部 7 0 2 はまた、割り込みの発生以降、同期制御部 7 0 4 から指令があるまで、新たな割り込みの発生を抑止し、その後の各コンピューティングモジュールのクロック同期動作のための再同期化処理が原因となるプロセッサの外部バスへのアクセス動作の不一致を、通常動作時の動作不一致と誤認することを防止する。

【 0 0 4 9 】

割り込み制御部 7 0 2 からの割り込みを受けたプロセッサ 1 0 1、1 0 2、2

01、202は、それぞれ図2に図示する動作により、各コンピューティングモジュール100、200間の動作のズレ（ロックステップ外れ）を補正し、再度クロック同期で同じ命令列の実行を行う状態に復旧する再同期化処理を行う。

【0050】

図2及び図3のフローチャートを参照してその再同期化処理について説明する。

【0051】

各プロセッサ101、102、201、202は、割り込みを受けて、プロセッサ内部の実行命令数を計数する命令数カウンタが動作しないモードである、再同期化処理用のプロセッサ管理モードに移行する（ステップ201）。

【0052】

そして、各プロセッサ101、102、201、202は、各々の命令数カウンタの値を読み出し（ステップ202）、該読み出した命令数カウンタの値を他のコンピューティングモジュールに、メモリ制御部105、205及び系間通信制御部703を介して送信する（ステップ203）。

【0053】

各プロセッサ101、102、201、202はまた、他のコンピューティングモジュールから送信された、他のコンピューティングモジュールのプロセッサの命令数カウンタ値を、系間通信制御部703、メモリ制御部105、205を介して読み出し（ステップ204）、全てのコンピューティングモジュールの対応するプロセッサの命令数カウンタ値と比較する（ステップ205）。

【0054】

ここで、命令数カウンタ値が最大となっているコンピューティングモジュールでは、命令数カウンタ値の比較の結果、他のコンピューティングモジュールが遅延分の命令を実行している間、これを待ち合わせる処理を行い（ステップ206）、その後、全てのコンピューティングモジュール100、200の実行命令数が一致したとき、全てのコンピューティングモジュール100、200への再同期化処理のためのリセット指令を発生させるよう、同期制御部704に対して、メモリ制御部105あるいは205を介して指令する（ステップ207）。

【 0 0 5 5 】

一方、命令数カウンタ値が最大でない全てのコンピューティングモジュールでは、実行命令数（命令数カウンタ値）が最大であるコンピューティングモジュールと同一の命令列実行状態となるまで命令実行を進める遅延ステップ調整処理を行い（ステップ 2 0 8）、その完了を命令数カウンタ値が最大であるコンピューティングモジュールに通知し（ステップ 2 0 9）、その後、再同期化処理のためのリセット発生を待ち合わせる（ステップ 2 1 0）。

【 0 0 5 6 】

同期制御部 7 0 4 は、前記指令を受けると、クロック同期動作を回復させるためのリセット信号を、全てのコンピューティングモジュール 1 0 0、2 0 0 に対して同時に発生させる。また、このとき同時に前記割り込み制御部 7 0 2 に対して、動作不一致の割り込み発生の許可を指令して、再開される通常のクロック同期動作に備える。

【 0 0 5 7 】

図 3 は、図 2 の遅延ステップ調整処理の詳細な作用を示している。

【 0 0 5 8 】

遅延ステップ調整処理（図 2 のステップ 2 0 8）では、プロセッサを 1 命令だけ実行した後、再び前記プロセッサ管理モードに移行せしめるステップ実行モードに設定し（ステップ 3 0 1）、プロセッサを通常実行モードに移行させる（ステップ 8 0 2）。

【 0 0 5 9 】

この結果、プロセッサは 1 命令のみ実行（ステップ 3 0 3）した後、再びプロセッサ管理モードに移行する（ステップ 3 0 4）。

【 0 0 6 0 】

該プロセッサは、命令数カウンタの値を読み出し（ステップ 3 0 5）、先に受信済みの実行命令数が最大であるコンピューティングモジュールの命令数カウンタ値と比較し（ステップ 3 0 6）、不一致であれば、再度ステップ実行モード設定処理（ステップ 3 0 1）から繰り返し、一致していれば遅延ステップ調整処理を完了する。

【 0 0 6 1 】

以上、説明した作用により、固定故障以外の原因でロックステップが外れたコンピューティングモジュールの状態を、他のコンピューティングモジュールの状態に一致せしめることができる。一般に、プロセッサの外部バスを監視し、その出力の不一致を最初に検出した時点では、例えロックステップが外れた状態であっても、その外れの程度は小さく、上記で説明した作用によって、数ステップの処理の実行で、再び同一の命令列実行状態に復帰せしめることが可能であり、従来の全てのメモリ領域をコピーする方式に比べ、その処理時間を格段に短縮することが可能となる。

【 0 0 6 2 】

図 4、図 5 は、図 1 に示すように構成されるフォルトトレラントコンピュータ装置における再同期化処理の第 2 の動作を説明するフローチャートである。

【 0 0 6 3 】

この第 2 の動作においては、割り込み制御部 7 0 2 からの割り込みを受けたプロセッサ 1 0 1、1 0 2、2 0 1、2 0 2 は、それぞれ図 4 に図示する動作により、各コンピューティングモジュール 1 0 0、2 0 0 間の動作のズレ（ロックステップ外れ）を補正し、再度クロック同期で同じ命令列の実行を行う状態に復旧する再同期化処理を行う。

【 0 0 6 4 】

各プロセッサ 1 0 1、1 0 2、2 0 1、2 0 2 は、前記割り込みを受けて、プロセッサ内部の実行命令数を計数する命令数カウンタが動作せず、かつ、通常動作のプログラムカウンタ（PC）の値を待避して保存するモードである、再同期化処理用のプロセッサ管理モードに移行する（ステップ 4 0 1）。

【 0 0 6 5 】

各プロセッサ 1 0 1、1 0 2、2 0 1、2 0 2 は、各々の命令数カウンタと待避したプログラムカウンタの値を読み出し（ステップ 4 0 2）、該読み出した値を他のコンピューティングモジュールに、メモリ制御部 1 0 5、2 0 5 及び系間通信制御部 7 0 3 を介して送信する（ステップ 4 0 3）。

【 0 0 6 6 】

各プロセッサ101、102、201、202はまた、他のコンピューティングモジュールから送信された、他のコンピューティングモジュールのプロセッサの命令数カウンタ値とプログラムカウンタ値を、系間通信制御部703、メモリ制御部105、205を介して読み出し（ステップ404）、全てのコンピューティングモジュールの対応するプロセッサの命令数カウンタ読み出し値と比較する（ステップ405）。

【0067】

ここで、実行命令数が最大となっているコンピューティングモジュールでは、前記比較の結果、他のコンピューティングモジュールが遅延分の命令を実行している間、これを待ち合わせる処理を行い（ステップ406）、その後、全てのコンピューティングモジュールの実行命令数が一致したとき、全てのコンピューティングモジュールに対する再同期化処理開始のためのリセット指令を発生させるよう、同期制御部704に対して、メモリ制御部105あるいは205を介して指令する（ステップ407）。

【0068】

一方、命令数カウンタが最大でない全てのコンピューティングモジュールでは、命令数が最大であるコンピューティングモジュールと同一となるまで命令実行を進める遅延ステップ調整処理を行い（ステップ408）、その完了を命令数カウンタ値が最大であるコンピューティングモジュールに通知し（ステップ409）、その後、前記再同期化処理のためのリセット発生を待ち合わせる（ステップ410）。

【0069】

図5は、図4における遅延ステップ調整処理の詳細を示している。

【0070】

上記遅延ステップ調整処理（図4のステップ408）では、プロセッサを、指定した命令列の特定の位置の命令まで実行した後再び前記プロセッサ管理モードに移行せしめるブレイクポイント指定実行モードに設定する。このとき、前記命令列の特定の位置として、前記実行命令数が最大であるコンピューティングモジュールから受信したプログラムカウンタ値の示す命令位置を指定する（ステップ

5 0 1)。その後、プロセッサを通常実行モードに移行させる（ステップ5 0 2）。

【0 0 7 1】

この結果、プロセッサは指定された命令列中の特定の位置、すなわち前記命令実行数が最大であるコンピューティングモジュールと同じ命令列の位置までの命令列を実行（ステップ5 0 3）した後、再びプロセッサ管理モードに移行（ステップ5 0 4）して、遅延ステップ調整処理を完了する。

【0 0 7 2】

図6は、第1の実施の形態によるフォルトトレラントコンピュータ装置の第3の動作を説明するフローチャートであり、図2及び図4で示す動作における、特に命令数カウンタ比較処理（図2のステップ2 0 5及び図4のステップ4 0 5）以降の処理の他の処理例を示している。

【0 0 7 3】

図6の処理では、命令数カウンタ値が最大であったコンピューティングモジュールにおいて、プログラム実行状態を読み出し（ステップ6 0 1）した後、他のコンピューティングモジュールからの遅延ステップ調整処理完了通知を待ち合わせる（ステップ6 0 2）。

【0 0 7 4】

一方、命令数カウンタ値が最大でない他の全てのコンピューティングモジュールでは、上述の説明のいずれかの方法や、あるいは類似の方法で、遅延ステップ調整処理を実施（ステップ7 0 1）した後、そのコンピューティングモジュールのプログラム実行状態を読み出して（ステップ7 0 2）、遅延ステップ調整処理の完了通知と併せてプログラム実行状態を命令数カウンタ値が最大であるコンピューティングモジュールに送信（ステップ7 0 3）して、リセット待ち合わせ処理を行う（ステップ7 0 4）。

【0 0 7 5】

該プログラム実行状態を受信した、命令数カウンタ値が最大であるコンピューティングモジュールでは、全てのコンピューティングモジュールのプログラム実行状態を比較し（ステップ6 0 3）、全てが一致した場合は即座に、不一致のコ

ンピューティングモジュールを検出した場合は、そのコンピューティングモジュールのみを切り離して無効化する処理（ステップ604）を行った後、他の全てのコンピューティングモジュールのクロック同期動作再開処理（ステップ605）を実施する。

【0076】

図6に示す処理内容とすれば、ステップ実行やブレイクポイント実行に必ずしも信頼のおけないプロセッサを採用したロックステップ方式のフォルトトレラントコンピュータ装置であっても、処理結果を誤らせることなく、本発明を実施することができるという効果を得られる。

【0077】

次に、図7を参照して、本発明の第2の実施の形態によるフォルトトレラントコンピュータ装置について説明する。

【0078】

図7を参照すると、本実施の形態によるフォルトトレラントコンピュータ装置は、プロセッサ、メモリを含むコンピューティングモジュール100、200、300と、周辺装置との接続機構803、804を含む周辺装置制御部400、500をそれぞれ複数備え、各コンピューティングモジュール100、200、300はクロック同期して同じ命令列を処理し、各コンピューティングモジュールの処理結果を比較し、1個のコンピューティングモジュールで故障が発生しても、残りのコンピューティングモジュールにより処理を継続する。

【0079】

この第2の実施の形態によるフォルトトレラントコンピュータ装置においては、各周辺装置制御部400、500内に、図1に示した障害監視制御部700と、バス監視制御部701と、割り込み制御部702と、系間通信制御部703と、同期制御部704とを備えると共に、さらに各コンピューティングモジュールと周辺装置制御内部の各制御部、及び周辺装置接続手段803、804との接続を制御するPCIブリッジ705とを具備している。

【0080】

なお、周辺装置制御部500の内部の図示は省略しているが、周辺装置制御部

4 0 0 と全く同様の構成となっており、周辺装置制御部 4 0 0 と周辺装置制御部 5 0 0 のいずれの制御手段を使用するかは、コンピューティングモジュール内のプロセッサ上で動作するプログラムが任意に決定することができ、これによって再同期に係る周辺装置制御部 4 0 0、5 0 0 の何れかの制御手段の故障があった場合でも、故障していない周辺装置制御部 4 0 0、5 0 0 の制御手段を使用可能とすることにより、可用性を高めることを可能としている。

【0081】

本実施の形態では、各コンピューティングモジュール 1 0 0、2 0 0、3 0 0 と各周辺装置制御部 4 0 0、5 0 0 の接続を代表的な周辺装置接続インタフェースである P C I ブリッジ 7 0 5 を使用し、系間通信制御部 7 0 3 とのデータの送受信や同期制御部 7 0 4 に対するリセット処理の指令を P C I プロトコルを使って実行する点を除けば、上述の図 1 で示した実施の形態と同様の動作により、本発明の効果を得られる。

【0082】

また、本実施の形態は、コンピューティングモジュールが 3 個の構成を示しており、その場合の再同期化処理の詳細な動作は、図 8 及び図 9 に示す通りである。図 8 は上述の図 2 の動作を 3 個以上のコンピューティングモジュールで構成するロックステップ方式のフォルトトレラントコンピュータ装置に一般化した動作フローを示している。その処理内容は、コンピューティングモジュールの数が異なることを除いて、図 2 及び図 3 に示した内容と同じである。

【0083】

すなわち、図 8 及び図 9 のフローチャートにおいて、各プロセッサは、割り込みを受けて、プロセッサ内部の実行命令数を計数する命令数カウンタが動作しないモードである、再同期化処理用のプロセッサ管理モードに移行する（ステップ 8 0 1）。

【0084】

そして、各プロセッサは、各々の命令数カウンタの値を読み出し（ステップ 8 0 2）、該読み出した命令数カウンタの値を他のコンピューティングモジュールに、メモリ制御部 1 0 5、2 0 5 及び P C I ブリッジ 7 0 5 と系間通信制御部 7

03 を介して送信する（ステップ 803）。

【0085】

各プロセッサはまた、他のコンピューティングモジュールから送信された、他のコンピューティングモジュールのプロセッサの命令数カウンタ値を、系間通信制御部 703、PCIブリッジ 705、メモリ制御部 105、205 を介して読み出し（ステップ 804）、全てのコンピューティングモジュールの対応するプロセッサの命令数カウンタ値と比較する（ステップ 805）。

【0086】

ここで、命令数カウンタ値が最大となっているコンピューティングモジュールでは、命令数カウンタ値の比較の結果、他のコンピューティングモジュールが遅延分の命令を実行している間、これを待ち合わせる処理を行い（ステップ 806）、その後、全てのコンピューティングモジュール 100、200、300 の実行命令数が一致したとき、全てのコンピューティングモジュール 100、200、300 への再同期化処理のためのリセット指令を発生させるよう、同期制御部 704 に対して、メモリ制御部 105 あるいは 205、PCIブリッジ 705 を介して指令する（ステップ 807）。

【0087】

一方、命令数カウンタ値が最大でない全てのコンピューティングモジュールでは、実行命令数（命令数カウンタ値）が最大であるコンピューティングモジュールと同一の命令列実行状態となるまで命令実行を進める遅延ステップ調整処理を行い（ステップ 808）、その完了を命令数カウンタ値が最大であるコンピューティングモジュールに通知し（ステップ 809）、その後、再同期化処理のためのリセット発生を待ち合わせる（ステップ 810）。

【0088】

同期制御部 704 は、前記指令を受けると、クロック同期動作を回復させるためのリセット信号を、全てのコンピューティングモジュール 100、200、300 に対して同時に発生させる。また、このとき同時に前記割り込み制御部 702 に対して、動作不一致の割り込み発生の許可を指令して、再開される通常のクロック同期動作に備える。

【 0 0 8 9 】

図 9 は、図 8 の遅延ステップ調整処理の詳細な作用を示している。

【 0 0 9 0 】

遅延ステップ調整処理（図 8 のステップ 8 0 8）では、プロセッサを 1 命令だけ実行した後、再び前記プロセッサ管理モードに移行せしめるステップ実行モードに設定し（ステップ 9 0 1）、プロセッサを通常実行モードに移行させる（ステップ 9 0 2）。

【 0 0 9 1 】

この結果、プロセッサは 1 命令のみ実行（ステップ 9 0 3）した後、再びプロセッサ管理モードに移行する（ステップ 9 0 4）。

【 0 0 9 2 】

該プロセッサは、命令数カウンタの値を読み出し（ステップ 9 0 5）、先に受信済みの実行命令数が最大であるコンピューティングモジュールの命令数カウンタ値と比較し（ステップ 9 0 6）、不一致であれば、再度ステップ実行モード設定処理（ステップ 9 0 1）から繰り返し、一致していれば遅延ステップ調整処理を完了する。

【 0 0 9 3 】

図 1 0 は、本発明の第 3 の実施の形態によるフォルトトレラントコンピュータ装置の構成を示す。図 1 0 によれば、本実施の形態によるフォルトトレラントコンピュータ装置は、バス監視制御部 7 0 1、割り込み制御部 7 0 2 においても、各コンピューティングモジュールとの情報送受信を P C I ブリッジ 7 0 5 を介して実行する構成となっている点を除いて、図 7 に示した第 2 の実施の形態と同じであり、図 8 及び図 9 に示したと同様の動作により同様の効果が得られる。

【 0 0 9 4 】

本発明のフォルトトレラントコンピュータ装置では、再同期化処理を実行する各手段の機能をハードウェア的に実現することは勿論として、上記した各手段の機能を実行する再同期化処理プログラム 1 0 0 0 をコンピュータ処理装置のメモリにロードしてコンピュータ処理装置を制御することで実現することができる。この再同期化処理プログラム 1 0 0 0 は、磁気ディスク、半導体メモリその他の

記録媒体に格納され、その記録媒体からコンピュータ処理装置にロードされ、コンピュータ処理装置の動作を制御することにより、上述した各機能を実現する。

【 0 0 9 5 】

以上好ましい実施の形態をあげて本発明を説明したが、本発明は必ずしも上記実施の形態に限定されるものではなく、その技術的思想の範囲内において様々に変形して実施することができる。

【 0 0 9 6 】

本発明は、コンピューティングモジュールが2個であるか3個以上であるかに関わらず、これまで説明した構成と動作によってまったく同様の効果が得られる。

【 0 0 9 7 】

また、各コンピューティングモジュール内のプロセッサの数についても、なんらの制約されることはなく、プロセッサが1個であっても、あるいは3個以上であってもまったく同様に作用する。また、上述した実施の形態では、各プロセッサがひとつのプロセッサ外部バスを共有し、同一バス上に接続されている場合を示しているが、例えば、メモリ制御部から複数のプロセッサが星形接続されるような構成であっても、あるいはひとつのコンピューティングモジュールを構成するプロセッサが、物理的に複数のボードにわかれて構成されていても、本発明の効果になんら影響しない。

【 0 0 9 8 】

また、本発明では、各コンピューティングモジュールとバス監視制御手段その他の再同期化のための各手段が、1組であっても複数組であってもかまわない。また、その位置が周辺装置制御部に内蔵されていても、専用のボード等によって構成されていてもよい。あるいはまた、各コンピューティングモジュールとバス監視制御手段その他の再同期化のための各手段が、P C Iによって接続されていても、P C I - Xその他の他の規格のインタフェース手段で接続されていてもよいし、あるいは規格化されていない専用のインタフェース手段で接続されていても、上記の説明と同様の効果が得られる。

【 0 0 9 9 】

【発明の効果】

以上説明したように本発明によれば、以下に述べるような効果が得られるものである。

【0100】

第1の効果は、フォルトトレラントコンピュータ装置のあるコンピューティングモジュールが、固定故障以外の要因でロックステップ状態から外れた場合に、極めて短時間でロックステップ状態に回復させられることである。

【0101】

その理由は、ロックステップ外れの発生の初期の段階であって、各コンピューティングモジュールの処理のずれが小さい時期にプロセッサに割り込ませ、処理が遅延しているコンピューティングモジュールの遅延を調整した後、クロック同期動作を再開させることにより、全メモリのコピーを行うことなくクロック同期動作状態を回復することができるからである。

【0102】

第2の効果は、フォルトトレラントコンピュータ装置の可用性を向上させることができることにある。その理由は、ロックステップ外れが起こった時の再同期化処理を著しく高速化することによって、装置全体が停止する期間を大幅に短縮することができるからである。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態によるフォルトトレラントコンピュータ装置の構成を示すブロック図である。

【図2】 本発明の第1の実施の形態によるフォルトトレラントコンピュータ装置の第1の動作を説明する示すフローチャートである。

【図3】 本発明の第1の実施の形態によるフォルトトレラントコンピュータ装置の第1の動作を説明する示すフローチャートである。

【図4】 本発明の第1の実施の形態によるフォルトトレラントコンピュータ装置の第2の動作を説明する示すフローチャートである。

【図5】 本発明の第1の実施の形態によるフォルトトレラントコンピュータ装置の第2の動作を説明する示すフローチャートである。

【図 6】 本発明の第 1 の実施の形態によるフォルトトレラントコンピュータ装置の第 3 の動作を説明するフローチャートである。

【図 7】 本発明の第 2 の実施の形態によるフォルトトレラントコンピュータ装置の構成を示すブロック図である。

【図 8】 本発明の第 2 の実施の形態によるフォルトトレラントコンピュータ装置の動作を説明するフローチャートである。

【図 9】 本発明の第 2 の実施の形態によるフォルトトレラントコンピュータ装置の動作を説明するフローチャートである。

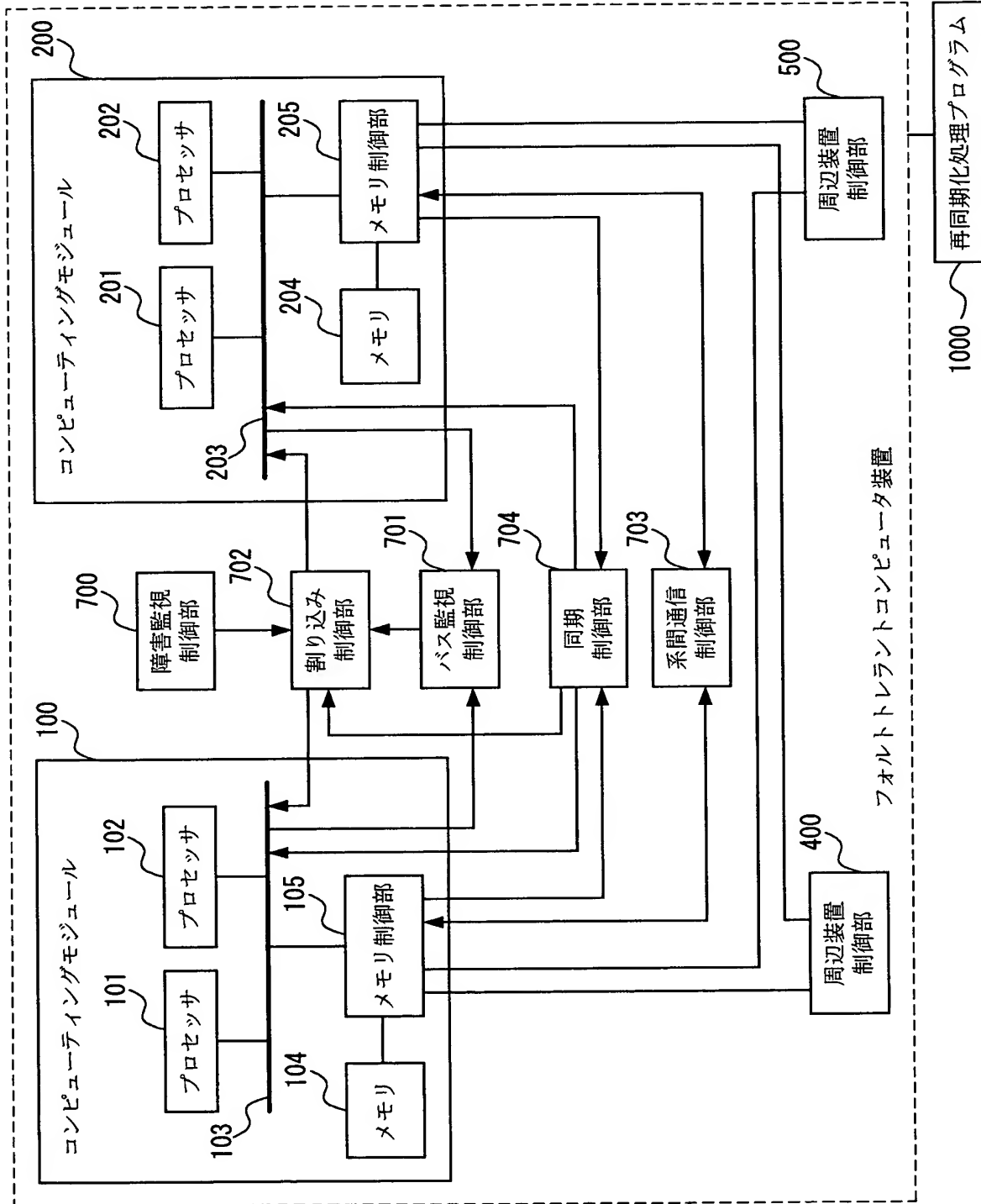
【図 1 0】 本発明の第 3 の実施の形態によるフォルトトレラントコンピュータ装置の構成を示すブロック図である。

【符号の説明】

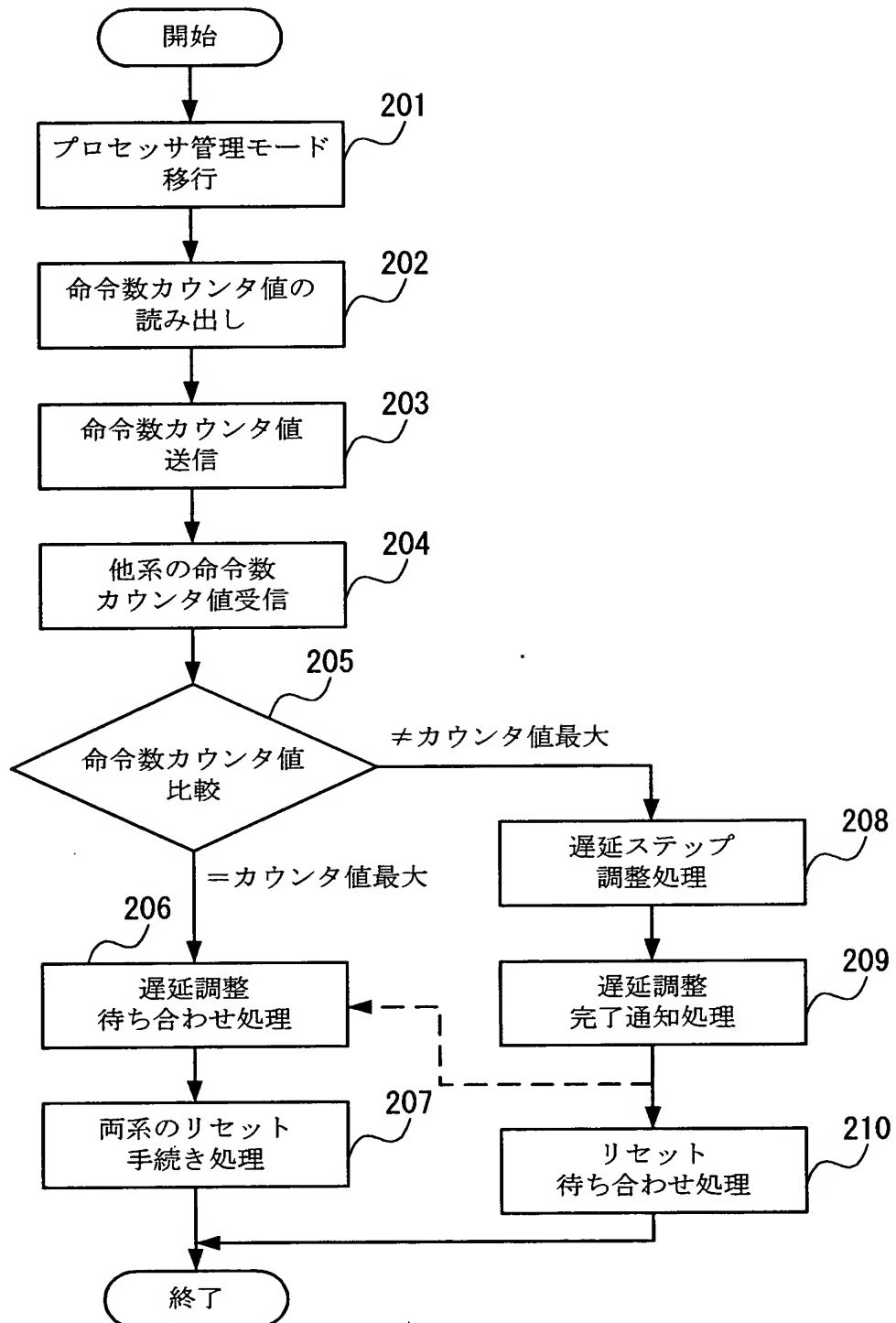
- 1 0 0、2 0 0、3 0 0 コンピューティングモジュール
- 1 0 1、1 0 2、2 0 1、2 0 2、3 0 1、3 0 2 プロセッサ
- 1 0 3、2 0 3、3 0 3 プロセッサ外部バス
- 1 0 4、2 0 4、3 0 4 メモリ
- 1 0 5、2 0 5、3 0 5 メモリ制御部
- 4 0 0、5 0 0 周辺装置制御部
- 7 0 0 障害監視制御部
- 7 0 1 バス監視制御部
- 7 0 2 割り込み制御部
- 7 0 3 系間通信制御部
- 7 0 4 同期制御部
- 7 0 5 P C I ブリッジ
- 8 0 0、8 0 1、8 0 2、8 0 3、8 0 4 P C I バス

【書類名】 図面

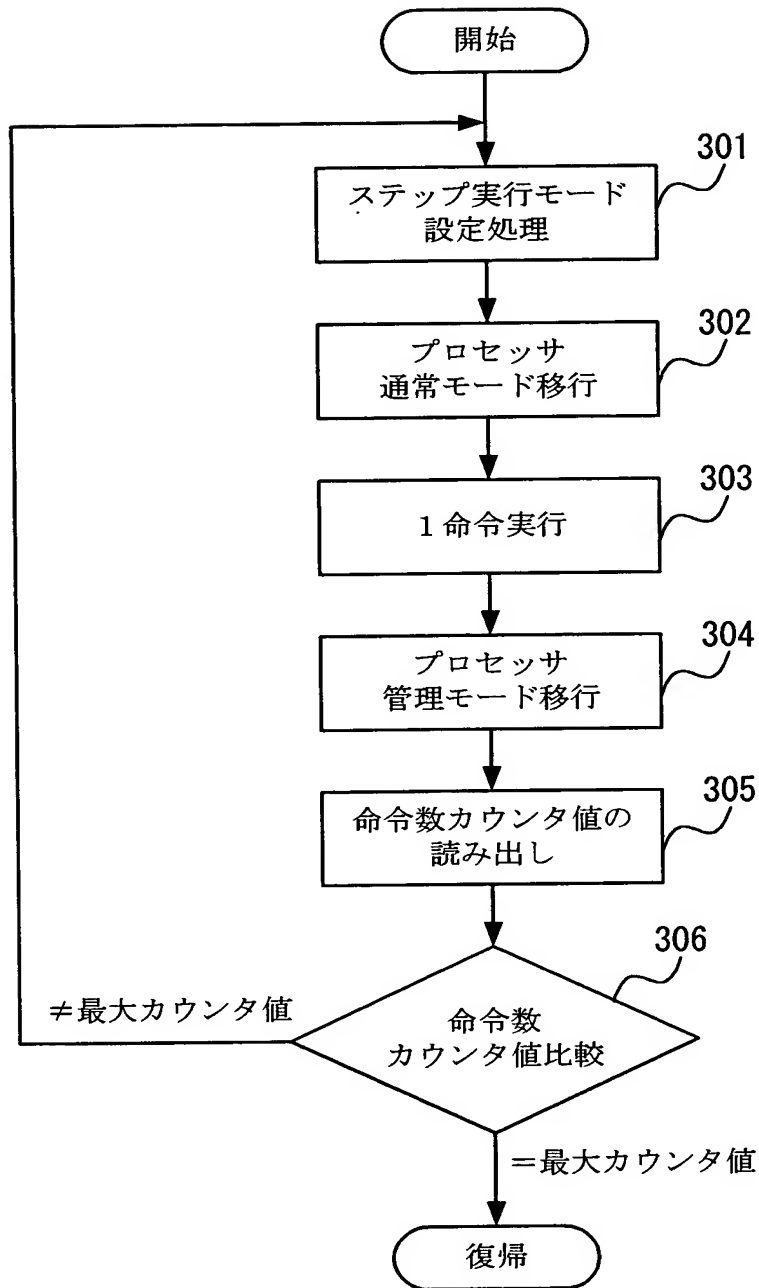
【図 1】



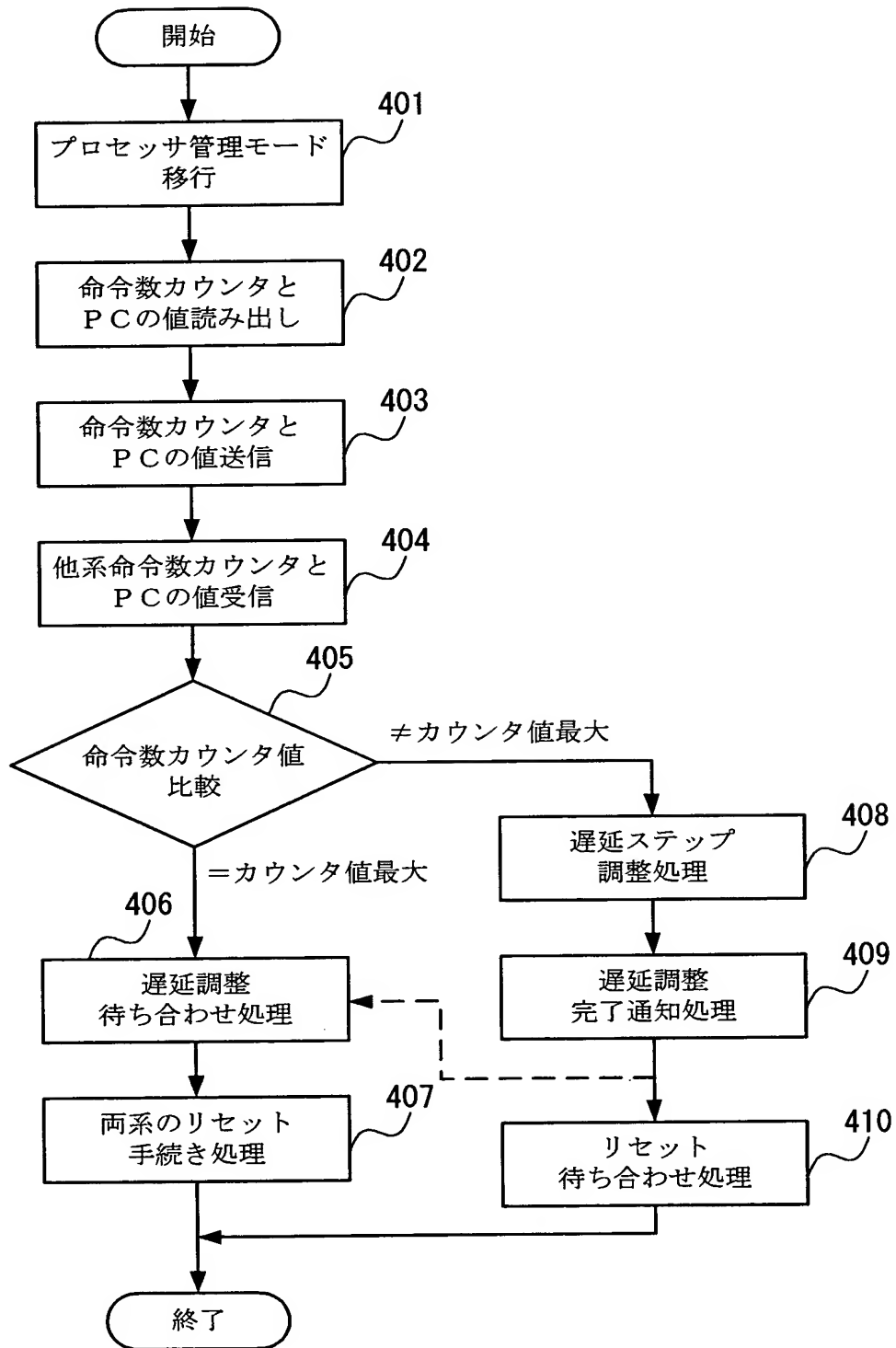
【図 2】



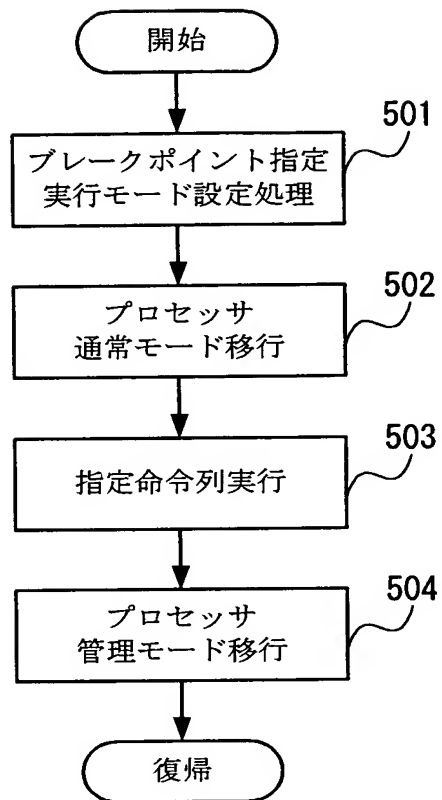
【図 3】



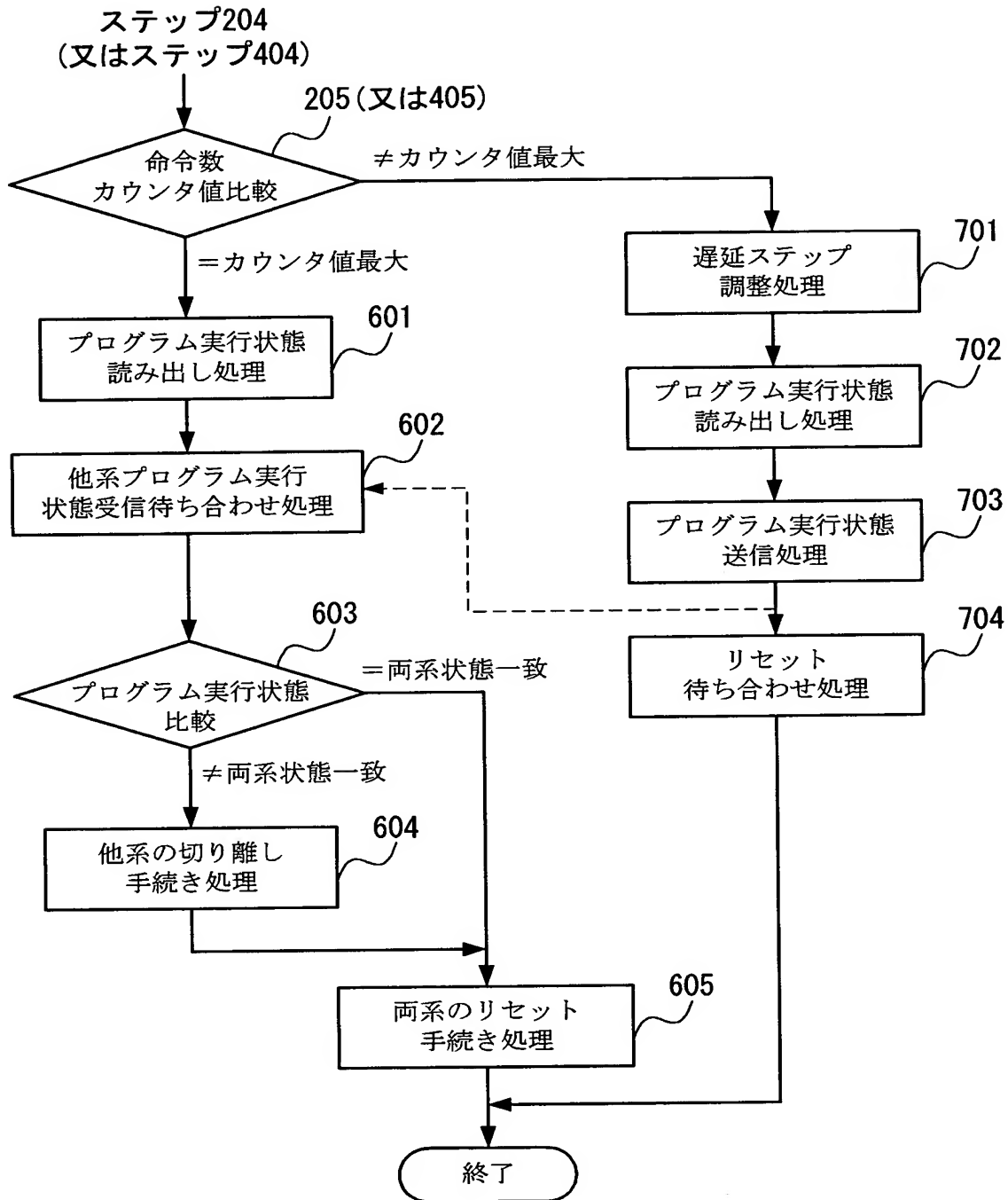
【図 4】



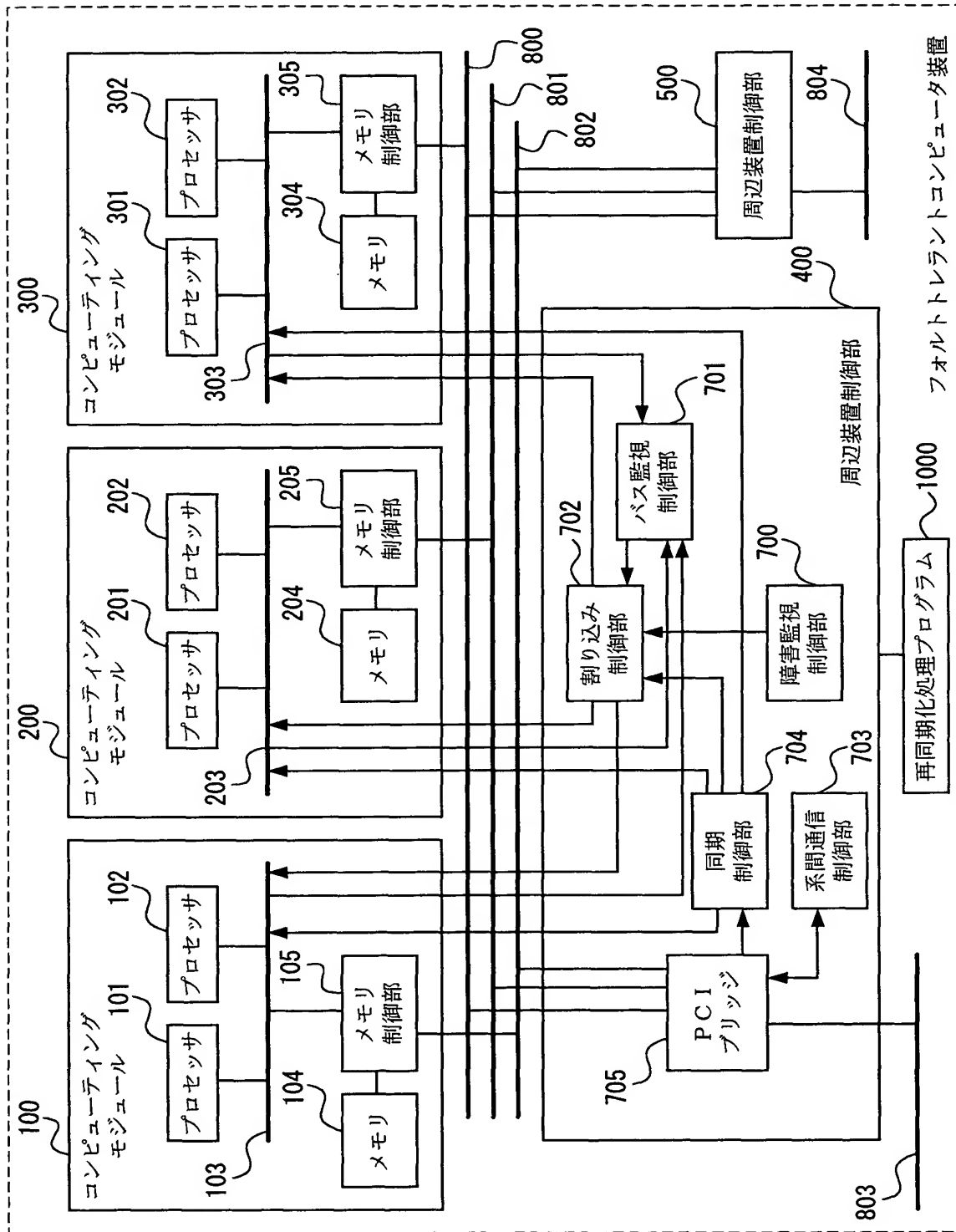
【図 5】



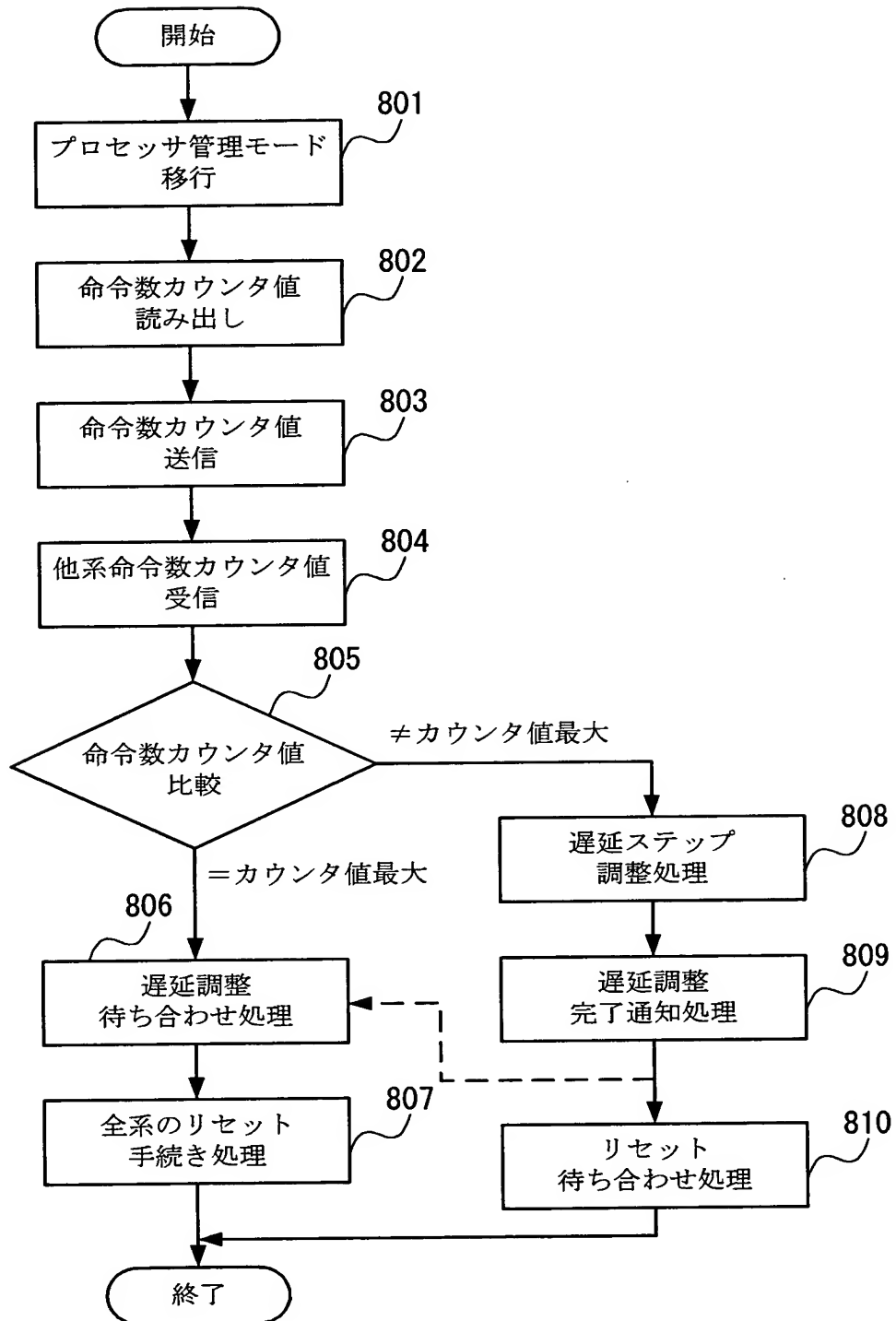
【図 6】



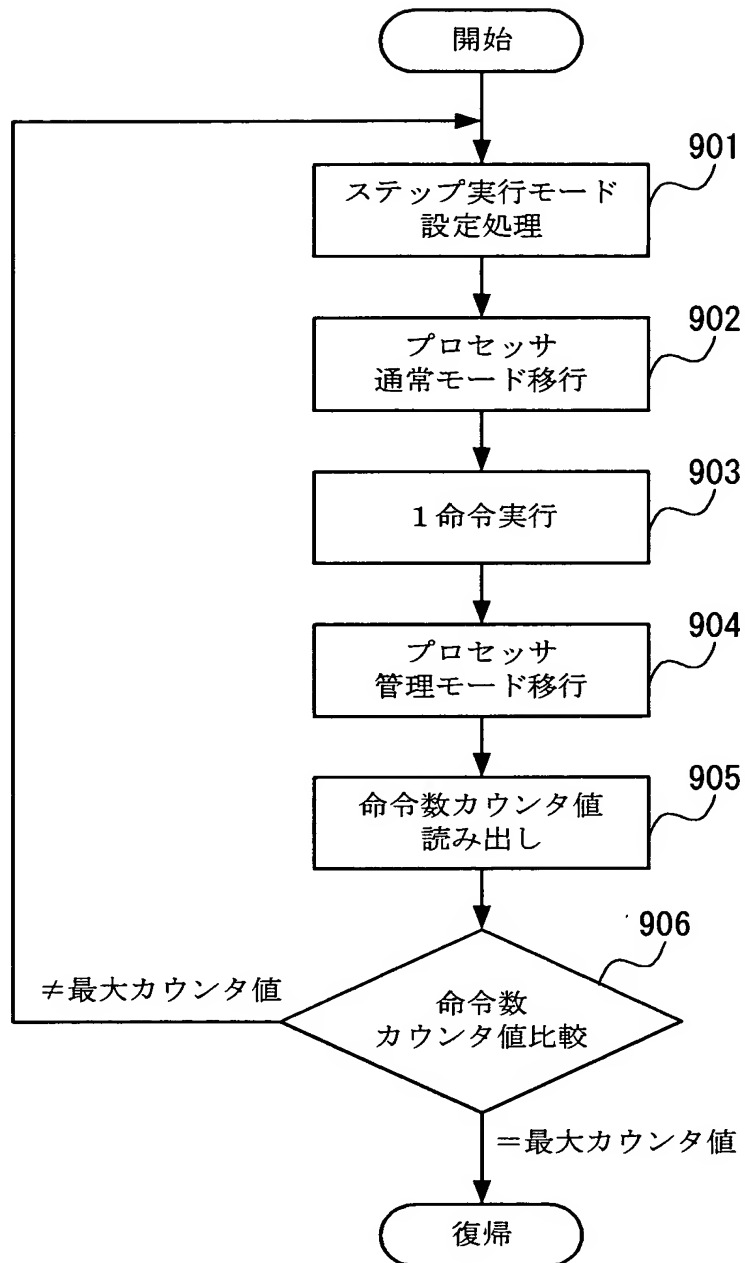
【図 7】



【図 8】



【図 9】



【図10】

